

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184190

(P2002-184190A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl.

G 11 C 16/02
16/04
16/06

識別記号

F I

テマコート(参考)

G 11 C 17/00

6 1 1 A 5 B 0 2 5
6 1 2 A
6 2 4
6 3 3 C
6 3 4 E

審査請求 未請求 請求項の数12 OL (全14頁) 最終頁に続く

(21) 出願番号

特願2000-376501(P2000-376501)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成12年12月11日 (2000.12.11)

(72) 発明者 高野 芳徳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100092820

弁理士 伊丹 勝

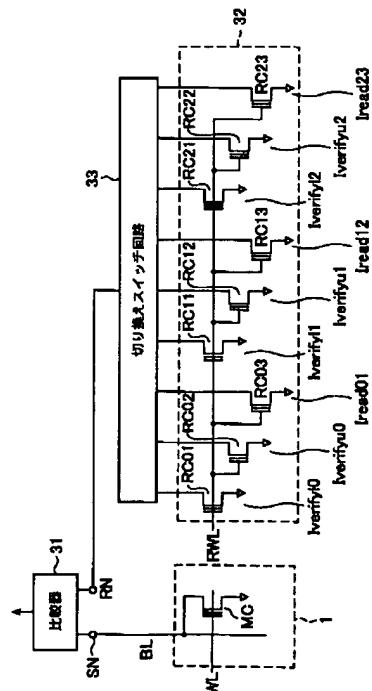
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 メモリセルの g_m のばらつきの影響を低減し、高速読み出しを可能とした不揮発性半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ1の本体セルMCは、ビット線BLを介して比較器31のセンスノードSNに接続される。比較器31の参照ノードRNには、基準電流源回路32の参照セルRC01～RC03, RC11～RC13, RC21～RC23が切り換えスイッチ回路33により選択されて接続される。通常の読み出し動作では、本体セルMCの制御ゲートと、基準電流源回路32の参照セルRC03, RC13, RC23の制御ゲートに読み出し電圧を印加し、読み出し用基準電流値Iread01, Iread12, Iread23とセル電流を比較する。書き込み時のベリファイ読み出し動作では、書き込みデータに応じて参照セルRC01, RC02, RC11, RC12, RC21, RC22のいずれかを選択して読み出し動作と同じ読み出し電圧を与え、ベリファイ読み出し用基準電流値Iverifyとセル電流を比較する。



【特許請求の範囲】

【請求項1】 制御ゲートを持つトランジスタ構造を有し、電気的書き換え可能で不揮発にデータを記憶するメモリセルと、

このメモリセルの読み出し動作及び書き込み又は消去時のデータ状態を確認するベリファイ読み出し動作において基準電流を発生するための基準電流源回路と、前記メモリセルの読み出し電流を前記基準電流源回路が outputする基準電流と比較してデータを検知する比較器とを備えた不揮発性半導体記憶装置において、

前記メモリセルの制御ゲートに読み出し電圧を与えてデータを検知する読み出し動作モードと、前記ベリファイ読み出し動作において前記読み出し動作モードと同じ読み出し電圧をメモリセルの制御ゲートに与えるようにしたベリファイ読み出し動作モードとを有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記基準電流源回路は、前記メモリセルの読み出し動作時に用いられる読み出し用基準電流源と、前記メモリセルのベリファイ読み出し動作時に用いられるベリファイ読み出し用基準電流源とを有し、動作モードに応じてこれらの基準電流源を切り換えて前記比較器に接続する切り換えスイッチ回路を有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記基準電流源回路は、一つの基準電流源と、この基準電流源に基づいてその $1/x$ (x は正の数) の読み出し用基準電流源、及び $1/y$ (y は正の数) のベリファイ読み出し用基準電流源を生成し、動作モードに応じてこれらの基準電流源を切り換えて前記比較器に接続する分割変換回路とを備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 前記基準電流源回路は、少なくとも二つの基準電流源と、これらの基準電流源の差分の $1/x$ (x は正の数) の読み出し用基準電流源、及び $1/y$ (y は正の数) のベリファイ読み出し用基準電流源を生成し、動作モードに応じてこれらの基準電流源を切り換えて前記比較器に接続する差分割変換回路とを備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 前記メモリセルは、制御ゲートに前記読み出し電圧が与えられたときのセル電流の分布により多値データ記憶を行うものであり、前記基準電流源回路は、書き込み又は消去後の確認すべきデータに応じて切り換えられて用いられる複数のベリファイ読み出し用基準電流源と、前記読み出しモードにおいて読み出すべきデータに応じて用いられる複数の読み出し用基準電流源とを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項6】 前記基準電流源回路は、前記メモリセルの読み出し動作時に用いられる読み出し用基準電流源と、前記メモリセルのベリファイ読み出し動作時に用い

られるベリファイ読み出し用基準電流源とを有し、前記読み出し用基準電流源と前記ベリファイ読み出し用基準電流源とは、前記メモリセルと同じ構造を有し、異なるゲートしきい値電圧を持つように調整された参照セルを用いて作られていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項7】 前記読み出し用基準電流源と前記ベリファイ読み出し用基準電流源は、前記メモリセルと同じ構造を有し、異なるゲートしきい値電圧を持つように調整された参照セルを用いて作られていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項8】 前記分割変換回路は、前記メモリセルと同じ構造を有して制御ゲートに前記読み出し電圧が印加される参照セルと、この参照セルに電流を供給する負荷トランジスタと、この負荷トランジスタと共にカレントミラー回路を構成して前記読み出し用基準電流源及び前記ベリファイ読み出し用基準電流源となる電流を生成する複数の電流源トランジスタと、これらの電流源トランジスタの出力を選択的に活性化するスイッチ回路と、このスイッチ回路により選択された電流を電圧に変換して出力する出力トランジスタとを備えて構成され、前記比較器の参照ノードには前記出力トランジスタの出力電圧がゲートに供給される電流源トランジスタが接続されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項9】 前記差分割変換回路は、前記メモリセルと同じ構造を有して制御ゲートに前記読み出し電圧が印加される第1の参照セルと、前記メモリセルと同じ構造を有して制御ゲートに前記読み出し電圧が印加される、第1の参照セルより大きい電流を流す第2の参照セルと、前記第1の参照セルの出力電流に対応する電流を前記第2の参照セルに供給する第1のカレントミラー回路と、この第1のカレントミラー回路の電流を電圧に変換する第1の出力トランジスタと、前記第1の参照セルに第1の参照セルの電流と第2の参照セルの電流の差分電流を供給する負荷トランジスタと、この負荷トランジスタと共に第2のカレントミラー回路を構成して前記読み出し用基準電流源及び前記ベリファイ読み出し用基準電流源となる電流を生成する複数の電流源トランジスタと、これらの電流源トランジスタの出力を選択的に活性化するスイッチ回路と、このスイッチ回路により選択された電流を電圧に変換して出力する第2の出力トランジスタとを備えて構成され、前記比較器の参照ノードには、前記第1及び第2の出力トランジスタの出力電圧がそれぞれゲートに供給される電流源トランジスタが接続されていることを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項10】 前記メモリセルの書き込み又は消去データのセル電流分布を測定するために、前記比較器の参照ノードを外部基準電流源に接続するための基準電流源

パッドを備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項11】前記メモリセルの書き込み又は消去データのセル電流分布を測定するために、外部基準電流源に接続するための基準電流源パッドと、前記外部基準電流源の電流値を $1/z$ （ z は正の数）に分割した分布測定用基準電流を生成して、前記比較器の参照ノードに接続するための分布基準変換回路と、この分布基準変換回路を外部制御信号により制御するための外部制御信号パッドとを備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項12】前記メモリセルの書き込み又は消去データのセル電流分布を測定するために、前記比較器の参照ノードにドレインが接続され、ソースが接地された分布測定用基準トランジスタと、この分布測定用基準トランジスタのゲートに外部基準電圧源に接続するための外部電圧源パッドとを備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電気的書き換え可能な不揮発性半導体記憶装置（EEPROM）に関する。

【0002】

【従来の技術】EEPROMのメモリセルは通常、電荷を蓄積するための浮遊ゲートと制御ゲートが積層されたトランジスタ構造を持つ。このメモリセルは、浮遊ゲートに電子が注入されたしきい値電圧の高い状態と、浮遊ゲートの電子が放出されたしきい値電圧の低い状態を“0”，“1”的二値データとして記憶する。メモリセルのデータ読み出しは、制御ゲートに読み出し電圧を与えて、メモリセルがオンして電流を引き込むか（オンセル）、或いはオフのままであるか（オフセル）を検知することにより行われる。

【0003】メモリセルデータを検知するセンスアンプには、比較器が用いられる。比較器は、選択メモリセルのビット線が接続されるセンスノードと参照ノードを有し、参照ノードにはデータを検知するための基準電流が流れる参照セルが接続される。参照セルには例えば本体セルと同様の構造を有するものを用い、それが流す基準電流を、オンセルの電流の $1/2$ 程度に設定する。これにより、参照セルの電流との比較によりデータ検知がなされる。

【0004】

【発明が解決しようとする課題】EEPROMのメモリセルは、相互コンダクタンス g_m が製造プロセスのばらつきに起因してばらつきを持つ。この状態をメモリセルからの電流について観察すれば、図17のようになる。図17は、制御ゲート電圧 V_{cg} とセル電流 I_{cell} の関係を示したもので、ここでは選択メモリセルのしきい

い値電圧が V_{th} である場合に、制御ゲートに読み出し電圧 V_{read} を与えたときの、セル電流 I_{cell} のばらつきを示している。最大 g_m （max）、最小 g_m （min）により、読み出されるセル電流は、 I_{cell} （max）～ I_{cell} （min）の範囲でばらつくことになる。

【0005】破線で示した参照セルの基準電流 I_{ref} は、前述のように、オンセルの電流の $1/2$ 程度に設定されるが、もし g_m のばらつきにより最小セル電流 I_{cell} （min）が基準電流 I_{ref} より小さい状態になると、誤読み出しが発生する。また、誤読み出しならないとしても、セル電流と基準電流との差が小さいために、読み出しに時間がかかり、高速読み出しができなくなる。

【0006】以上の問題は、多値記憶を行う場合にはより深刻になる。例えば、二値記憶の場合と同じ構造のメモリセルを用いて、図18に示すように、しきい値分布を細かく制御することにより、多値記憶を行う方式がある。図18は、しきい電圧の低い方から、“00”，“01”，“10”，“11”なる4値記憶を行う場合を示している。

【0007】データ“11”は、浮遊ゲートの電子を放出させたしきい値電圧の最も低い状態（これを例えば消去状態とする）である。この消去状態から、“10”データを書くためには、上位ビットの“1”書き込みを行う。“01”データを書くためには、下位ビットの“1”書き込みを行う。“00”データを書くためには、“01”データを書き込んだ後更に、上位ビットの“1”書き込みを行うことになる。

【0008】以上のデータ書き込み又は消去に際しては、二値データの場合と同様に、各データを所定のしきい値分布に追い込むために、ベリファイ読み出し動作が行われる。図18の各データ“00”，“01”，“10”に応じて、しきい値分布の上限と下限を保証するには、ベリファイ読み出し時の読み出し電圧（ V_{v10} , V_{v00} , (V_{v11}, V_{v01}) , (V_{v12}, V_{v02}) ）が必要になる。

【0009】これにより保証される各データのしきい値分布は例えば、“00”的場合、 $1.5V$ ～ $2.5V$ 、“01”的場合、 $3.5V$ ～ $4.5V$ 、“10”的場合、 $5.5V$ ～ $6.5V$ 、“11”的場合、 $7.7V$ 以上というようになる。一方、通常の読み出し動作においては、各データのしきい値分布の間に設定された読み出し電圧 V_{read0} , V_{read1} , V_{read2} が用いられる。

【0010】この様な細かいしきい値分布制御を行う場合、読み出し電圧及びベリファイ読み出し電圧に多くの値が必要であるだけでなく、前述のメモリセルの g_m のばらつきの影響は一層大きいものとなる。即ち、各読み出し電圧、ベリファイ読み出し電圧に応じて、参照セル

の基準電流を細かく設定することが必要であり、図17で説明したgmのばらつきによるセル電流I_{cell}のばらつきの許容範囲はより狭いものとなるからである。

【0011】そして、誤読み出し等を防止するためには、たとえば各データのしきい値分布の間を、1Vではなく、1.5Vにするといった、マージンの増大が必要になる。しかし、この様にマージンを拡大すると、読み出し電圧の上限値は非常に高いものとなってしまう。そして読み出し動作毎にその様な高電圧がメモリセルにかかることは、EEPROMの信頼性を低下させる原因となる。しかも、読み出し電圧等の高電圧は、通常内蔵する昇圧回路で生成されるが、多くの種類の高電圧を生成しなければならないとすると、昇圧回路のチップ占有面積が増大する。

【0012】この発明は、上記事情を考慮してなされたもので、メモリセルのgmのばらつきの影響を低減し、高速読み出しを可能とした不揮発性半導体記憶装置を提供することを目的としている。

【0013】

【課題を解決するための手段】この発明は、制御ゲートを持つトランジスタ構造を有し、電気的書き換え可能で不揮発にデータを記憶するメモリセルと、このメモリセルの読み出し動作及び書き込み又は消去時のベリファイ読み出し動作において基準電流を発生するための基準電流源回路と、前記メモリセルの読み出し電流を前記基準電流源回路が outputする基準電流と比較してデータを検知する比較器とを備えた不揮発性半導体記憶装置において、前記メモリセルの制御ゲートに読み出し電圧を与えてデータを検知する読み出し動作モードと、前記ベリファイ読み出し動作において前記読み出し動作モードと同じ読み出し電圧をメモリセルの制御ゲートに与えるようにしたベリファイ読み出し動作モードとを有することを特徴としている。

【0014】この発明によると、書き込み（又は消去）時のベリファイ読み出し動作において、通常の読み出し動作モードにおけると同じ読み出し電圧をメモリセルの制御ゲートに与える。そして、このベリファイ読み出し動作では、読み出されるセル電流が特定の基準電流値との比較で定められた範囲に入ることをもって書き込み又は消去のデータ状態を保証する。

【0015】即ち、従来のEEPROMの書き込み時のベリファイ読み出し動作では、メモリセルのしきい値電圧がある範囲に入ることで書き込みデータの状態を保証したのに対し、この発明においては、セル電流によって書き込みデータの状態を保証する。この様にセル電流でデータを保証する結果、読み出し電圧を与える通常の読み出し動作モードでは、メモリセルのgmにばらつきの影響による誤読み出し等がなく、基準電流値を最適設定することにより高速読み出しが可能になる。

【0016】この発明において、基準電流源回路は例え

ば、メモリセルの読み出し動作時に用いられる読み出し用基準電流源と、メモリセルのベリファイ読み出し動作時に用いられるベリファイ読み出し用基準電流源とを備えて構成される。この場合、動作モードに応じてこれらの基準電流源を切り換えて比較器に接続する切り換えスイッチ回路が設けられる。

【0017】またこの発明において、基準電流源回路は例えば、一つの基準電流源を用いて構成することもできる。この場合、基準電流源に基づいてその $1/x$ （xは正の数）の読み出し用基準電流源、及び $1/y$ （yは正の数）のベリファイ読み出し用基準電流源を生成し、動作モードに応じてこれらの基準電流源を切り換えて比較器に接続する分割変換回路を備える。

【0018】或いはまた、基準電流源回路は、少なくとも二つの基準電流源と、これらの基準電流源の差分の $1/x$ （xは正の数）の読み出し用基準電流源、及び $1/y$ （yは正の数）のベリファイ読み出し用基準電流源を生成し、動作モードに応じてこれらの基準電流源を切り換えて比較器に接続する差分割変換回路とを備えて構成することもできる。

【0019】この発明において、好ましくは、メモリセルは、制御ゲートに読み出し電圧が与えられたときのセル電流の分布により多値データ記憶を行うものとする。この場合、基準電流源回路は、ベリファイ読み出し動作モードにおいて確認すべきデータに応じて切り換えられて用いられる複数のベリファイ読み出し用基準電流源と、読み出しモードにおいて読み出すべきデータに応じて用いられる複数の読み出し用基準電流源とを備えて構成される。

【0020】この発明において、基準電流源回路はメモリセルと同じ構造を有する参照セルを用いて構成することができる、例えば読み出し用基準電流源とベリファイ読み出し用基準電流源とは、好ましくは、メモリセルと同じ構造を有し、異なるゲートしきい値電圧を持つように調整された参照セルを用いて作られる。

【0021】一つの基準電流源を用いて、読み出し用基準電流源及びベリファイ用基準電流源を作る分割変換回路は、具体的には、メモリセルと同じ構造を有して制御ゲートに読み出し電圧が印加される参照セルと、この参照セルに電流を供給する負荷トランジスタと、この負荷トランジスタと共にカレントミラー回路を構成して読み出し用基準電流源及びベリファイ読み出し用基準電流源となる電流を生成する複数の電流源トランジスタと、これらの電流源トランジスタの出力を選択的に活性化するスイッチ回路と、このスイッチ回路により選択された電流を電圧に変換して出力する出力トランジスタとを備えて構成される。このとき、比較器の参照ノードには、分割変換回路の出力トランジスタの出力電圧がゲートに供給される電流源トランジスタが接続される。

【0022】また、少なくとも二つの基準電流源を用い

て、読み出し用基準電流源及びペリファイ用基準電流源を作る分割変換回路は、具体的には、メモリセルと同じ構造を有して制御ゲートに読み出し電圧が印加される第1の参照セルと、メモリセルと同じ構造を有して制御ゲートに読み出し電圧が印加される、第1の参照セルより大きい電流を流す第2の参照セルと、第1の参照セルの出力電流に対応する電流を第2の参照セルに供給する第1のカレントミラー回路と、この第1のカレントミラー回路の電流を電圧に変換する第1の出力トランジスタと、第1の参照セルに第1の参照セルの電流と第2の参照セルの電流の差分電流を供給する負荷トランジスタと、この負荷トランジスタと共に第2のカレントミラー回路を構成して読み出し用基準電流源及び前記ペリファイ読み出し用基準電流源となる電流を生成する複数の電流源トランジスタと、これらの電流源トランジスタの出力を選択的に活性化するスイッチ回路と、このスイッチ回路により選択された電流を電圧に変換して出力する第2の出力トランジスタとを備えて構成される。この場合、比較器の参照ノードには、第1及び第2の出力トランジスタの出力電圧がそれぞれゲートに供給される電流源トランジスタが接続される。

【0023】この発明に係る不揮発性半導体記憶装置はまた、メモリセルの書き込み又は消去データのセル電流分布を測定するために、比較器の参照ノードを外部基準電流源に接続するための基準電流源パッドを備えたことを特徴とする。

【0024】この発明に係る不揮発性半導体記憶装置は更に、メモリセルの書き込み又は消去データのセル電流分布を測定するために、外部基準電流源に接続するための基準電流源パッドと、外部基準電流源の電流値を $1/z$ (z は正の数) に分割した分布測定用基準電流を生成して、比較器の参照ノードに接続するための分布基準変換回路と、この分布基準変換回路を外部制御信号により制御するための外部制御信号パッドとを備えたことを特徴とする。

【0025】この発明に係る不揮発性半導体記憶装置は更に、メモリセルの書き込み又は消去データのセル電流分布を測定するために、比較器の参照ノードにドレインが接続され、ソースが接地された分布測定用基準トランジスタと、この分布測定用基準トランジスタのゲートを外部基準電圧源に接続するための外部電圧源パッドとを備えたことを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、この発明の実施の形態によるEEPROMの全体構成を示している。メモリセルアレイ1は、複数のメモリセルをマトリクス配列して構成される。このメモリセルアレイ1の構成は、NAND型、NOR型、DINOR型等いかなる方式でもよい。

【0027】一つのメモリセルの構造は、図2のようになっている。n型シリコン基板11のメモリセルアレイ1の領域にはp型ウェル12が形成されている。このp型ウェル12にトンネル電流が流れうるゲート絶縁膜15を介して浮遊ゲート16が形成され、この上に絶縁膜17を介して制御ゲート18が積層され、制御ゲート18にセルファーラインされたn⁺型ソース、ドレイン拡散層13、14が形成されている。

【0028】浮遊ゲート16は多結晶シリコン膜により形成され、制御ゲート18は、多結晶シリコン膜或いはポリサイド膜(多結晶シリコン膜と金属シリサイド膜の積層膜)により形成される。ゲート間絶縁膜17には通常、ONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層膜)により形成される。また浮遊ゲート16の側壁は通常シリコン窒化膜等のサイドウォールで保護される。

【0029】浮遊ゲート16は、各メモリセル毎に独立であり、制御ゲート18は、紙面に直交する方向に連続的に配設されて、ワード線となる。メモリセルは層間絶縁膜19で覆われ、この上にセルのn⁺型拡散層13に接続されたビット線20がワード線と交差して配設される。

【0030】メモリセルアレイ1のメモリセル選択は、ロウデコーダ2とカラムデコーダ3及びカラムゲート3aにより行われる。I/Oバッファ8を介してアドレスレジスタ5に取り込まれるアドレスのうち、ロウアドレス、カラムアドレスがそれぞれロウデコーダ2、カラムデコーダ3でデコードされ、ロウデコーダ2によりワード線が選択され、カラムデコーダ3の出力で選択されるカラムゲート3aによりビット線が選択される。

【0031】センスアンプ兼データラッチ4は、読み出しだデータを検知し、書き込みデータを保持する機能を持つ。データ書き込みは、後に説明するように、書き込みパルス印加動作とその後のペリファイ読み出し動作の繰り返しにより行われる。この書き込みモードのシーケンス制御は、制御回路6により行われる。データ消去についても、必要に応じて消去動作とペリファイ読み出し動作が行われるがそのような消去モードのシーケンス制御も制御回路6により行われる。

【0032】書き込み、消去及び読み出し動作に用いられる電源電圧より高い各種の高電圧は、昇圧回路7により生成され、制御回路6により制御されて、動作モードに応じてロウデコーダ2やセルアレイ1に供給される。

【0033】図3は、この実施の形態のEEPROMにおいて、通常の読み出し動作及び書き込み時のペリファイ読み出し動作に直接関係する読み出し回路系の構成を抽出して示している。比較器31は、センスアンプ兼データラッチ4のなかのデータ検知を行うオペアンプ回路である。そのセンスノードSNには、メモリセルアレイ1の選択されたメモリセル(以下、本体セルともいう)

MCのビット線B1が接続され、参照ノードRNには、基準電流源回路32のなかから切り替えスイッチ回路33により選択された基準電流源が接続されるようになっている。

【0034】基準電流源回路32は、通常の読み出し動作及び書き込み時のベリファイ読み出し動作に必要な、本体セルMCと同様の構造を有する複数の参照セルが用意されるが、その構成を説明するに先だって、この実施の形態での読み出し動作及びベリファイ読み出し動作の原理を、図4を参照して説明する。図4は、4値記憶の場合を例にとって、各データのしきい値分布と、読み出し及びベリファイ読み出し時のセル電流との関係を示している。

【0035】4値データの書き込み原理は、図18で説明した従来方式と同じであるとする。即ち、“00”はしきい値電圧の低いデータ状態であり、例えばフラッシュ型EEPROMであれば、データ書き込みに先立つ一括消去により、あるメモリブロックの全セルが“00”の消去状態とされる。この消去状態から1回乃至2回のビットデータ書き込みによって、“11”, “01”, “10”の書き込みが行われる。データ消去は、図2のセル構造において、p型ウェル12と制御ゲート18の間で、p型ウェル12側が正となる高電圧(消去電圧)を印加して、浮遊ゲート16の電子をチャネル側に放出させることにより行われる。

【0036】データ書き込みは、制御ゲート18に正の高電圧(書き込みパルス)を印加し、ビット線を介してドレイン又はチャネルに与えられるデータ電位に応じて、浮遊ゲート16への電子注入を行い、或いは電子注入を行わせないことで、選択的にしきい値電圧を低下させる。書き込み動作は実際には、前述したように、制御ゲートへの書き込みパルス印加と、ベリファイ読み出し動作の繰り返しを行うことにより、所定の書き込み状態を得ることになる。

【0037】この実施の形態において特徴的なことは、図4に示したように、通常の読み出し動作において本体セルMCの制御ゲートに与えられる読み出し電圧Vreadが、書き込み時のベリファイ読み出し動作においてもそのまま用いられることである。ここで、通常の読み出し動作で用いられる読み出し電圧Vreadは、どのデータ状態を読む場合にも共通であり、一つの読み出し電圧Vreadを用いて、“00”, “01”, “10”, “11”的全データが判定される。

【0038】そして、読み出し電圧Vreadを与えたベリファイ読み出し動作においては、この読み出し電圧Vreadを与えることによりオンとなるデータ“00”, “01”, “10”についてそれぞれ、それらのしきい値分布のほぼ上下限での電流に相当するベリファイ読み出し用の基準電流値Iverify0(上限値:Iverify10, 下限値:Iverifyu0),

Iverify1(上限値:Iverify11, 下限値:Iverifyu1), Iverify2(上限値:Iverify11, 下限値:Iverifyu1)を設定している。

【0039】“00”データについては、一括消去の場合は消去ベリファイ動作となるが、読み出し電圧Vreadを印加したベリファイ読み出しにおいて、セル電流が上限値:Iverify10と下限値:Iverifyu0の間にあることが確認されれば、パスとなる。同様に、“01”書き込みの場合は、同じ読み出し電圧Vreadを印加したベリファイ読み出しにおいて、セル電流が上限値:Iverify11と下限値:Iverifyu1の間にあることが確認されれば、パスとなる。“10”書き込みの場合は、同じ読み出し電圧Vreadを印加したベリファイ読み出しにおいて、セル電流が上限値:Iverify12と下限値:Iverifyu2の間にあることが確認されれば、パスとなる。

【0040】但し、実際のベリファイ判定には、基準電流値として上述のように上限値及び下限値を用いることなく、いずれか一方のみとすることもできる。また、データ“11”的ベリファイ読み出しは、読み出し電圧Vreadとは異なる、例えばこれより高いベリファイ読み出し電圧を制御ゲートに与えて、オフであることを確認するという方法を利用すればよい。

【0041】以上のようなベリファイ読み出しを行うと、従来の方式のように書き込みデータのしきい値電圧を保証することにはならず、読み出し電圧Vread印加時のセル電流によりデータを保証したことになる。そしてこの実施の形態の場合、ベリファイ読み出し動作と同様に、通常の読み出し動作においても、一つの読み出し電圧Vreadを用いる。即ち従来は、各データのしきい値分布の間に読み出し電圧を設定してセル電流を読み出したのに対して、一つの読み出し電圧Vreadを用いて、図4に示す読み出し用の基準電流値Iread0, Iread1, Iread2との比較によって、“00”, “01”, “10”, “11”データの判定を行う。読み出し用の基準電流値Iread0は、ベリファイ読み出し用の基準電流値Iverify0とIverify1の間に設定され、同様に基準電流値Iread1は、基準電流値Iverify1とIverify2の間に設定され、基準電流値Iread2は、基準電流値Iverify2より小さく設定される。

【0042】この様なベリファイ読み出し動作及び通常の読み出し動作を行うと、書き込みデータは読み出し電圧Vreadでのセル電流で保証されているから、メモリセルのgmにはばらつきがあったとしても、原理的に、読み出し動作時にセル電流と基準電流値が逆転する事態は生じることがなく、誤読み出しが防止され、従ってまた高速の読み出しが可能になる。

【0043】図3の基準電流源回路32は、上述した読

み出し動作及び書き込み時のベリファイ読み出し動作に用いられる基準電流値を生成するための複数の参照セルRCを用いて構成されている。即ち、図3の基準電流源回路32は、図4で説明した4値記憶の場合の構成例を具体的に示しており、参照セルRC01～RC03が、

“00”データのためのベリファイ判定及び読み出し判定の基準電流値I_{verify10}, I_{verifyu0}, I_{read0}を生成するもの、参照セルRC11～RC13が、“01”データのためのベリファイ判定及び読み出し判定の基準電流値I_{verify11}, I_{verifyu1}, I_{read1}を生成するもの、参照セルRC21～RC23が、“10”データのためのベリファイ判定及び読み出し判定の基準電流値I_{verify12}, I_{verifyu2}, I_{read2}を生成するものである。

【0044】これらの参照セルRC01～RC03, RC11～RC13, RC21～RC23は、全て本体セルMCと同じ構造、寸法を有し、制御ゲートに読み出し電圧V_{read}を印加したときに図4で説明した各基準電流値が得られるように、ゲートしきい値電圧がそれぞれ異なる値に調整されている。それらの制御ゲートは、参照ワード線RWLに共通接続され、この参照ワード線RWLには、読み出し動作時及びベリファイ読み出し動作時に前述したように同じ読み出し電圧V_{read}が与えられことになる。

【0045】ベリファイ読み出し動作においては、書き込みデータに応じて切り換えスイッチ回路33により選択されたベリファイ読み出し用の参照セルが選択されて、その出力が比較器31の参照ノードRNに接続される。通常の読み出し動作においては、データ“00”, “01”, “10”, “11”的判定を行うためには、読み出し用基準電流値I_{read0}, I_{read1}, I_{read2}を同時に選択してそれが別々の参照ノードに接続されるように、比較器31は実際には複数個用意される。

【0046】図5は、具体的に、書き込みモードでの本体セルMCと参照セルRCの制御ゲート電圧V_{c g}の波形を示している。これは例えば、図4のデータ“00”的消去状態にある本体セルMCに、その下位ビットに“1”書き込みを行って、“01”データを書き込む場合の例である。このとき、切り換えスイッチ回路33により選択される参照セルRCは、RC11又はRC12であり、その制御ゲートには本体セルMCと同じ読み出し電圧V_{read}が印加される。本体セルMCには、書き込みパルス電圧V_{p g m}の印加とベリファイ読み出し電圧V_{read}の印加が繰り返される。

【0047】そして、書き込みパルス印加により本体セルMCのしきい値が次第に高くなり、ベリファイ読み出し時の本体セルMCのセル電流が、例えば参照セルRC12による基準電流値I_{verifyu1}より小さくな

ると、比較器出力が反転し、書き込み終了と判定されることになる。これにより、“01”データ書き込みはバスとなる。“01”データのしきい値分布の下限（実際には対応するセル電流）を保証するには、参照セルRC11を用いて、基準電流値I_{verify11}でのベリファイ判定をも行うことが必要である。

【0048】他のデータ“00”, “10”的書き込み又は消去の場合にも、選択する参照セルRCが異なるだけで、同様に参照セルRCに読み出し電圧V_{read}を与えたベリファイ読み出しが行われることになる。“11”データについては、前述のように、読み出し電圧V_{read}とは異なるベリファイ読み出し電圧が用いられる。

【0049】この実施の形態による書き込み動作では、セル電流を保証するベリファイ読み出しが行われるため、実質的に書き込まれたデータのしきい値分布は従来と比べて拡がると思われる。その様子を図6に示す。基準電流値I_{verifyA}によりあるデータ状態が保証されるため、このデータ状態のしきい値分布は、メモリセルのgmが最小値gm(min)の場合と最大値gm(max)の場合の間で、図示のようにVth1からVth2の範囲のばらつきが生じる。従って、基準電流値I_{verifyA}より小さい基準電流値I_{verifyB}により保証されるデータ状態は、破線で示したように、隣接するデータのしきい値分布が重なることもあり得る。

【0050】しかし、この状態は、誤読み出しの原因にはならない。即ち、読み出し電圧V_{read}を印加したベリファイ読み出し時の基準電流値I_{verifyA}に対して、通常読み出し時には同じ読み出し電圧V_{read}を用いた、より低い基準電流値I_{readA}でのセル電流を読むことになる。この基準電流値I_{readA}が、ベリファイ読み出し時の基準電流値I_{verifyA}とI_{verifyB}の間に設定されれば、しきい値分布によらず、基準電流値I_{verifyA}で保証されたデータが読み出される。

【0051】[実施の形態2] 図4では、基準電流源回路32として、必要な複数の基準電流値に対応してそれぞれ本体セルMCと同様の構造を持つ参照セルRCを用意したが、基本となる参照セルRCを一つとして、これに基づいて他の複数の基準電流値を生成するような構成とすることができる。その様な基準電流源回路71を持つ実施の形態の構成を図3に対応させて、図7に示す。

【0052】この実施の形態での基準電流源回路71は、読み出し電圧V_{read}を制御ゲートに与えたときの電流値がI0である一つの参照セルRC0を用い、これを大元の基準電流値として、分割変換回路72により、図8に示すように、基準電流値I0を正の数a, b…で分割した基準電流値I0/a, I0/b, …を生成する。そして、比較器31の参照ノードRNに接続され

たNMOSトランジスタQN0には、分割変換回路72により選択される基準電流値が流れるよう、ゲートに電圧V0が与えられるように構成される。

【0053】分割変換回路71の構成は、図9のようになる。電流源負荷であるPMOSトランジスタQPOと基本となる参照セルRC0が基準電流回路721を構成する。参照セルRC0は本体セルMCと同様の構造を有し、その制御ゲートに読み出し電圧Vreadをえたときに、電流I0が流れる。この基準電流回路721に対して、PMOSトランジスタQPOと共にカレントミラー回路722を構成する複数(n個)のPMOSトランジスタQP11, QP12, …, QP1nが設けられる。これらのPMOSトランジスタQP11, QP12, …, QP1nは、PMOSトランジスタQPOのチャネル幅をWとして、チャネル幅が順次、W/a, W/b, …となるようにサイズが設定されている。チャネル長は全てPMOSトランジスタQPOと同じであるとする。

【0054】これにより、PMOSトランジスタQP11, QP12, …, QP1nは、それぞれI0/a, I0/b, …なる基準電流を流す電流源となる。これらが、先の実施の形態でのペリファイ読み出し用の各基準電流源Iverify及び通常読み出し用の各基準電流源Ireadとして用いられることになる。これらのPMOSトランジスタQP11, QP12, …, QP1nは、ソースがそれぞれ活性化用スイッチSW1, SW2, …を介して電源VCCに接続され、ドレンは共通に、ダイオード接続されたNMOSトランジスタQN1に接続されている。

【0055】NMOSトランジスタQN1は、電流を電圧に変換する出力トランジスタであり、スイッチSW1, SW2, …によって選択されたPMOSトランジスタQP11, QP12, …により決まる電流I0/x(x=a, b, …)が流れる。このNMOSトランジスタQN1のドレン電圧V0が比較器31の参照ノードRNに接続されたNMOSトランジスタQN0のゲートに与えられる。これらのNMOSトランジスタQN0, QN1もカレントミラー回路を構成しており、その寸法が同じであるとすれば、NMOSトランジスタQN0には、電流I0/xが流れる。即ち、一般的にいえば、基準電流I0に基づいて、その1/x(xは正の数)の読み出し用基準電流源、及び1/y(yは正の数)のペリファイ読み出し用基準電流源を生成することになる。

【0056】以上のようにこの実施の形態によれば、本体セルMCと同じ構造の参照セルRC0を一つ用意して、先の実施の形態と同様に、読み出し動作及びペリファイ読み出し動作に応じて、必要な基準電流値をスイッチで選択することができる。ペリファイ読み出し及び通常の読み出し動作共に、参照セルRC0の制御ゲートには同じ読み出し電圧Vreadが与えられ、これにより

先の実施の形態と同様の原理でセル電流を保証した書き込みが行われる。

【0057】なお、図8の例は、電流分割の比x, y (=a, b, …)が1以上の場合、即ち、元の基準電流値I0を最大値として、I0/a, I0/b, …が順次小さくなる場合を示しているが、比は1以下であってもよい。即ち、基準電流値I0より大きい基準電流値を生成するようにしてもよい。具体的に例えば、必要とする多くの基準電流値の中間的な位置に大元の基準電流値I0を設定し、その上下に他の基準電流値を生成するように、電流分割比xを設定することができる。この実施の形態によると、先の実施の形態のように本体セルMCと同様の複雑な構造を持つ、寸法の異なる多数の参照セルRCを作る場合に比べて、基準電流源回路の製造は容易になる。

【0058】【実施の形態3】実施の形態2では、参照セルがRC0の一つであり、その基準電流を分割して他の基準電流を生成している。このため、単純に電流分割した場合、図4で説明した最小の基準電流値Iread23を保証できなくなる可能性がある。最小の基準電流値Iread23は、単なる読み出し基準電流というより、セルの最小読み出し電流をも保証する意味がある。例えば、NOR型のフラッシュEEPROMの場合、ビット線に多数のメモリセルが並列接続されるため、読み出し時、多数の非選択セルのリークが選択セルの電流に重なる。従って、オンセルの電流がリーク電流の総和よりも小さい状態では、データ判定ができないからである。

【0059】そこで、この実施の形態では、少なくとも二つの参照セルを用いて、上述した最小読み出し電流値を保証することを可能とする。その様な構成を、図7に対応させて、図10に示す。即ち、基準電流源回路101は、読み出し電圧Vreadを制御ゲートに与えたときの電流値がIAである参照セルRCAと電流値がIBである参照セルRCBとを用いる。参照セルRCBが最小電流値を保証するためのものである。そして差分割変換回路102により、図11に示すように、最小電流値IBと最大電流値IAの間で、それらの差電流値を正の数a, b…で分割した基準電流値(I A - I B)/a, (I A - I B)/b, …を生成する。

【0060】比較器31の参照ノードRNには、2つのNMOSトランジスタQNA, QNBが併設される。NMOSトランジスタQNBは最小読み出し電流を保証するためのものである。即ち、NMOSトランジスタQNBには、参照セルRCBにより決まる最小電流IBが流れ、NMOSトランジスタQNAには、差分割変換回路102により分割された基準電流値(I A - I B)/xが流れるように、NMOSトランジスタQNA, QNBを駆動する差分割変換回路102が構成される。

【0061】具体的に、差分割変換回路102は図12のように構成される。一つの参照セルRCAと電流源P

MOSトランジスタQ P 0が第1の基準電流回路201を構成し、もう一つの参照セルR C Bと電流源P MOSトランジスタQ P 2 2が第2の基準電流回路202を構成する。参照セルR C A, R C Bは本体セルと同様の構造を有し、その制御ゲートに読み出し電圧V readを与えたときに、それぞれ電流I A, I Bが流れようじに、しきい値電圧が調整されている。

【0062】第2の基準電流回路202のP MOSトランジスタQ P 2 2とカレントミラーを構成するP MOSトランジスタQ P 2 3により、ダイオード接続されたN MOSトランジスタQ N 2に電流I Bが流れ。N MOSトランジスタQ N 2は電流を電圧に変換するものであり、そのドレイン電圧V bが、参照ノードR Nに接続された一つのN MOSトランジスタQ N Bのゲートに供給される。N MOSトランジスタQ N BとQ N 2と同じ寸法とすれば、N MOSトランジスタQ N Bには、電流I Bが流れ。

【0063】第2の基準電流回路202のP MOSトランジスタQ P 2 2とカレントミラーを構成するもう一つのP MOSトランジスタQ P 2 1により、電流I Bは、第1の基準電流回路201の参照セルR C Aにも供給される。これにより、第1の基準電流回路201の負荷P MOSトランジスタQ P 0には、二つの基準電流値の差分電流(I A - I B)が流れ。

【0064】第1の基準電流回路201に対して、P MOSトランジスタQ P 0と共にカレントミラー回路203を構成する複数(n個)のP MOSトランジスタQ P 1 1, Q P 1 2, …, Q P 1 nが設けられる。これらのP MOSトランジスタQ P 1 1, Q P 1 2, …, Q P 1 nは、P MOSトランジスタQ P 0のチャネル幅をWとして、チャネル幅が順次、W/a, W/b, …となるようにサイズが設定されている。チャネル長は全てP MOSトランジスタQ P 0と同じであるとする。

【0065】これにより、P MOSトランジスタQ P 1 1, Q P 1 2, …, Q P 1 nは、それぞれ(I A - I B)/a, (I A - I B)/b, …なる基準電流を流す電流源となる。これらが、先の実施の形態でのベリファイ読み出し時の各基準電流源I verify及び通常読み出し時の各基準電流源I readとして用いられることになる。これらのP MOSトランジスタQ P 1 1, Q P 1 2, …, Q P 1 nは、ソースがそれぞれ活性化用スイッチSW1, SW2, …を介して電源VCCに接続され、ドレインは共通に、ダイオード接続されたN MOSトランジスタQ N 1に接続されている。

【0066】これにより、N MOSトランジスタQ N 1には、スイッチSW1, SW2, …によって選択されたP MOSトランジスタQ P 1 1, Q P 1 2, …により決まる読み出し基準電流値(I A - I B)/x(xは正の数)、及びベリファイ読み出し用基準電流値(I A - I B)/y(yは正の数)が得られる。このN MOSト

ンジスタQ N 1のドレイン電圧V aが比較器31の参照ノードR Nに接続されたもう一つのN MOSトランジスタQ N Aのゲートに与えられる。N MOSトランジスタQ N A, Q N 1の寸法が同じであるとすれば、N MOSトランジスタQ N Aには、Q N 1と同じ電流が流れ

る。

【0067】以上のようにこの実施の形態によると、参照ノードR N側の基準電流は、最小電流値I Bを保証して、二つの基準電流値I A, I Bの差を分割した(I A - I B)/x(又は、(I A - I B)/y)とI Bとを合成した値になる。従って、先の実施の形態と同様に、動作モードに応じて、活性化用スイッチにより選択された基準電流が得られ、読み出し電流でデータを保証した書き込みが行われると共に、最小の読み出し電流を確実に保証することが可能になる。

【0068】なお、上の例は、二つの参照セルを用いて、これにより電流分割する範囲を設定したが、3個以上の参照セルを用意して、セル電流の範囲を複数個に分けて、各範囲で差分差分電流値を生成するような差分電流変換回路を構成してもよい。

【0069】ここまで実施の形態において、参照セルR Cとして本体セルMCと同様の構造を用いたが、これは理由があつてのことである。例えば、通常のトランジスタを用いて基準電流を作ることも原理的には可能である。しかしこの場合には、メモリセルアレイの本体セルMCが製造プロセスのばらつき等によって、平均的gmが小さい方に変化したとすると、本体セルMCと異なるプロセスで作られたトランジスタを基準とする基準電流値でベリファイ読み出しを行ったとき、図4の“00”データの分布が、しきい値電圧負の状態にまたがる可能性が出てくる。そうすると、読み出し動作において、非選択セルのリークが大きいものとなり、正常な読み出しができなくなる可能性がある。これに対して、基準電流源を本体セルMCと同じ構造の参照セルR Cによって作れば、参照セルR Cがチップの平均的なセル特性の変動を反映するため、上述の問題は回避されることになる。

【0070】[実施の形態4] ここまで実施の形態において書き込みを行ったメモリセルのデータ書き込み(又は消去)状態をチェックする方法を次に説明する。従来は、書き込みデータのチェックにはしきい値分布測定を行っている。この場合、判定電流レベルを一定として、メモリセルMCの制御ゲートに外部から制御電圧を与え、メモリセルMCがオンからオフになる制御電圧値をメモリセルのゲートしきい値電圧とする。しかし、この発明によるEEPROMでは、各実施の形態で説明したようにメモリセルのデータは、セル電流を保証する書き込みベリファイを行っており、図6を用いて説明したように、隣接するデータの間でしきい値分布が重なることを許容している。従って、従来と同様のしきい値分布測定を行っても、データを判別できない場合が生じる。

【0071】そこでこの発明の場合、書き込みデータの状態チェックには、セル電流測定を行う。具体的には図13に示すように、EEPROMチップに、外部電流源用パッド301を設け、これに外部基準電流源302を接続する。外部電流源用パッド301は、センスアンプを構成する比較器31の参照ノードRNに接続されるものとする。比較器31のセンスノードSNに接続されるメモリセルMCのワード線WLには読み出し電圧Vreadを与える。そして、外部基準電流源302の電流値を走査して、比較器31の出力が反転する電流値をモニターする。

【0072】これにより、図14に示すように、4値データに対応するセル電流分布が求められる。図14では、4値データのしきい値分布を実線で示し、“00”, “01”, “10”データについて、読み出し電圧Vreadで読み出したときのセル電流の分布を破線で示している。“11”データについては、読み出し電圧Vreadではセル電流が流れないので、電流分布は求められないし、求める必要性もない。図では、隣接データのしきい値分布に重なりがない状態を示しているが、前述のようにしきい値分布が重なる状態であったとしても、破線で示すセル電流分布は、正常にデータ書き込みがなされている限り、互いに重なることはない。

【0073】[実施の形態5] 図15は、図13のセル電流分布測定方式を変形した実施の形態である。この場合、基準電流源パッド301に接続される外部基準電流源302は、固定であるとする。チップ内部には、この外部基準電流源302の電流値を $1/z$ (z は正の数)に分割した分布測定用基準電流を生成して、比較器31の参照ノードRNに接続する分布基準変換回路304を内蔵する。そして、この分布基準変換回路304を外部制御信号により制御するために、外部制御信号パッド303を設ける。

【0074】分布基準変換回路303は、先の図7の実施の形態で説明した基準電流源回路71と同様の考え方で、カレントミラーリー回路を用いて所定の分割比で複数の基準電流を生成する回路として構成すればよい。この様な分布測定方式を用いれば、外部基準電流源302の電流値を変える必要がなく、外部測定機器の負担が軽減される。

【0075】[実施の形態6] 図16は、更に別の実施の形態によるセル電流分布測定方式である。比較器31の参照ノードRNにドレインが接続され、ソースが接地され、ゲートが外部電圧源パッド306に接続された分布測定用基準トランジスタ305を設ける。分布測定用基準トランジスタ305は好ましくは、メモリセルMCと同様の構造を持つ参照セルであるとする。外部電圧源パッド306には、外部基準電圧源307を接続する。

【0076】この様な構成として、外部基準電圧源307の電圧を走査して、分布測定用基準トランジスタ30

5で電圧-電流変換して比較器31に与え、比較器31の出力が反転する電圧値をモニターする。分布測定用基準トランジスタ306の電圧-電流特性が予めわかっていてれば、図14で説明したような書き込み(又は消去)データのセル電流分布を求めることができる。

【0077】以上の実施の形態では、多値記憶の場合を説明したが、この発明は2値記憶の場合も同様に有効である。2値記憶の場合例えば、しきい値の高い“1”データ状態とこれよりしきい値の低い“0”データ状態が用いられる。読み出し電圧は、“0”, “1”データのしきい値分布の間に設定される。“1”データを消去状態として、“0”データ書き込みを行う場合、従来のEEPROMでは、書き込み時のベリファイ読み出し電圧として、通常の読み出しモードでの読み出し電圧より低いベリファイ読み出し電圧が用いられ、セルのオンオフ判定が行われる。これに対して、4値の実施の形態で説明したと同様に、ベリファイ読み出し時にも通常の読み出し時と同じ読み出し電圧を用いて、セル電流を保証するような書き込みを行うことにより、メモリセルのgmの影響を受けない書き込みが可能になる。

【0078】

【発明の効果】以上述べたようにこの発明によれば、書き込み又は消去時のベリファイ読み出し動作に、通常読み出し動作モードと同じ読み出し電圧を用いてセル電流を保証するデータ書き込み又は消去を行うことにより、メモリセルのgmのばらつきの影響を低減し、高速読み出しを可能としたEEPROMが得られる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるEEPROMの構成を示す図である。

【図2】同実施の形態のEEPROMのメモリセル構造を示す図である。

【図3】同実施の形態の読み出し回路系の構成を示す図である。

【図4】同実施の形態の読み出し動作及びベリファイ読み出し動作の原理を説明するための図である。

【図5】同実施の形態の書き込み動作モードの電圧波形を示す図である。

【図6】同実施の形態の書き込みによるしきい値分布を示す図である。

【図7】他の実施の形態による読み出し回路系の構成を示す図である。

【図8】同実施の形態による基準電流源分布を示す図である。

【図9】図7の分割変換回路の構成を示す図である。

【図10】他の実施の形態による読み出し回路系の構成を示す図である。

【図11】同実施の形態による基準電流源分布を示す図である。

【図12】図10の差分割変換回路の構成を示す図であ

る。

【図13】セル電流分布の測定法を示す図である。

【図14】同測定法により測定されるセル電流分布を示す図である。

【図15】セル電流分布の他の測定法を示す図である。

【図16】セル電流分布の他の測定法を示す図である。

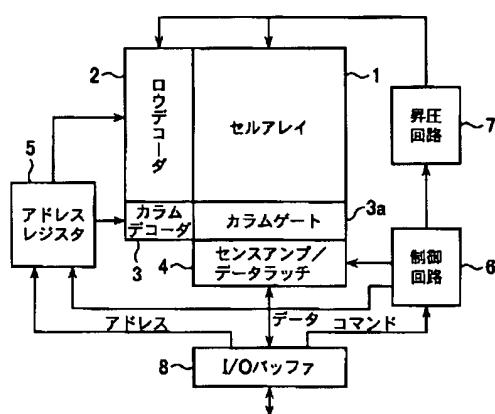
【図17】従来のEEPROMのセル電流分布を示す図である。

【図18】4値データのしきい値分布を示す図である。

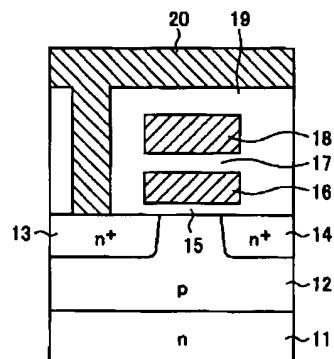
【符号の説明】

1…メモリセルアレイ、2…ロウデコーダ、3…カラムデコーダ、3a…カラムゲート、4…センスアンプ/データラッチ、5…アドレスレジスタ、6…制御回路、7…昇圧回路、8…I/Oバッファ、31…比較器、32…基準電流源回路、33…切り換えスイッチ回路、MC…メモリセル（本体セル）、RC01～RC03、RC11～RC13、RC21～RC23…参照セル。

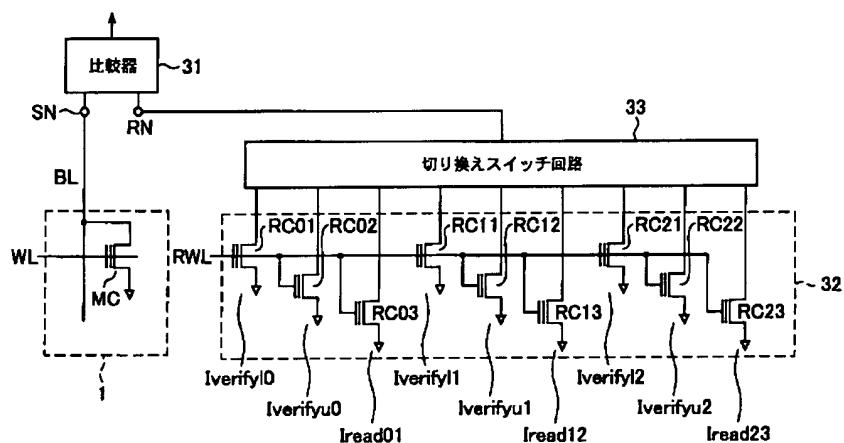
【図1】



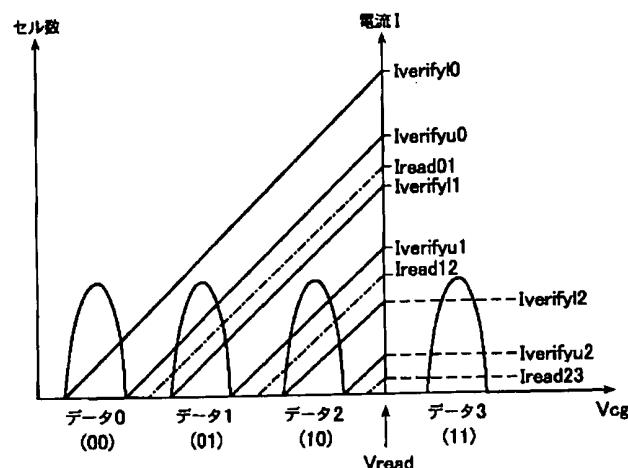
【図2】



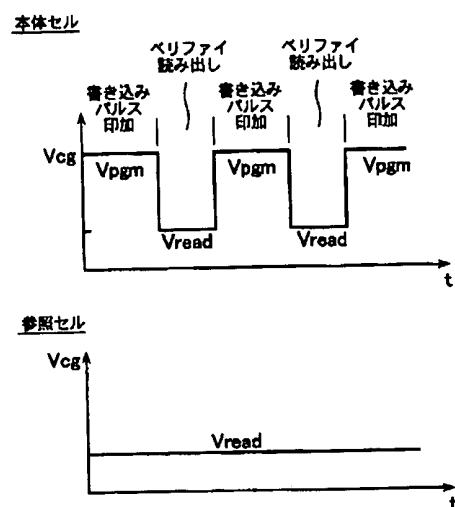
【図3】



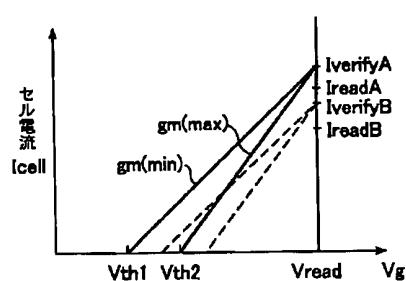
【図4】



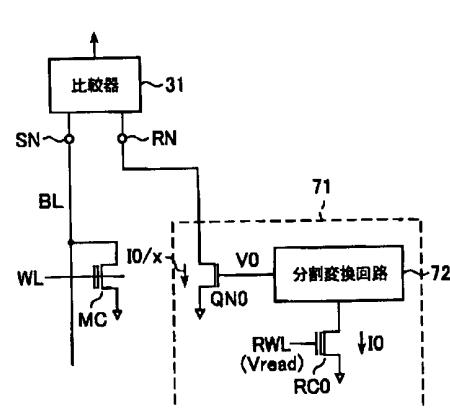
【図5】



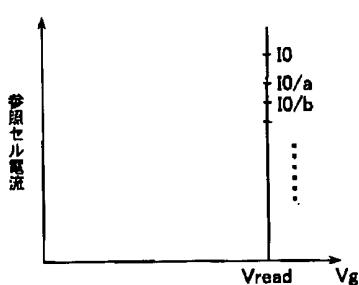
【図6】



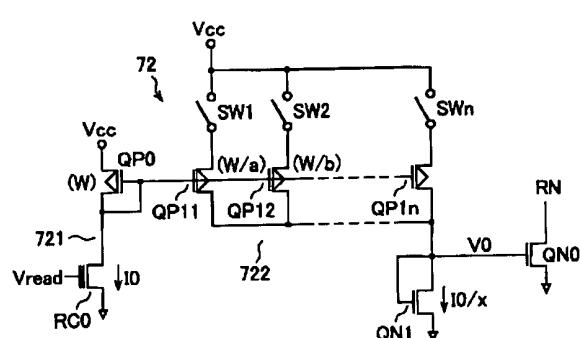
【図7】



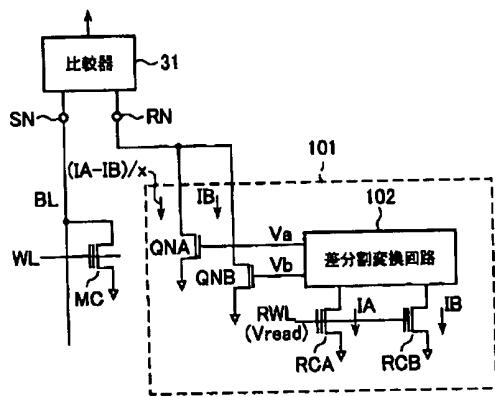
【図8】



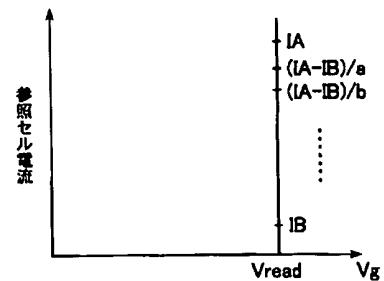
【図9】



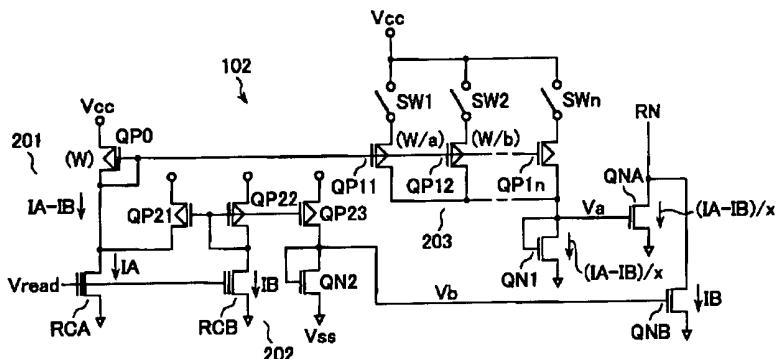
【図10】



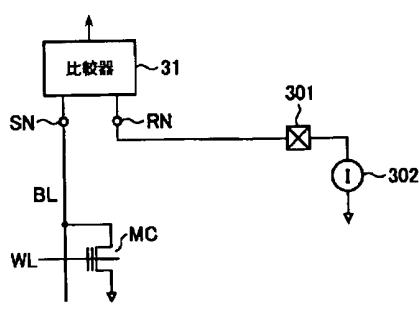
【図11】



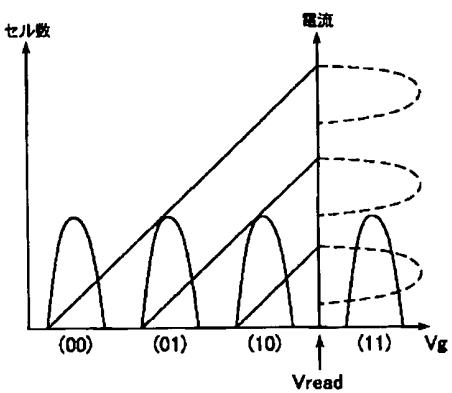
【図12】



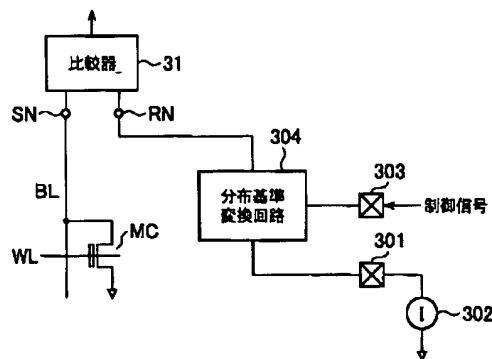
【図13】



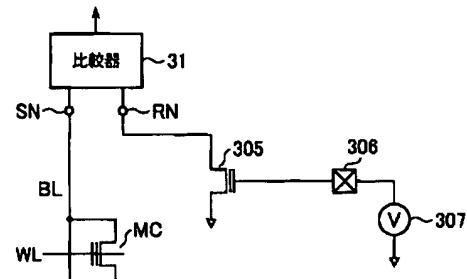
【図14】



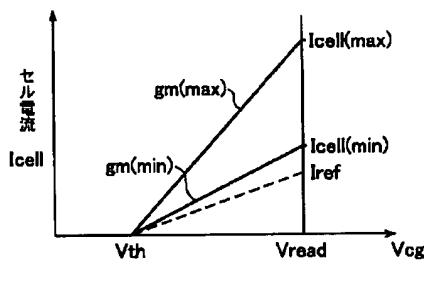
【図15】



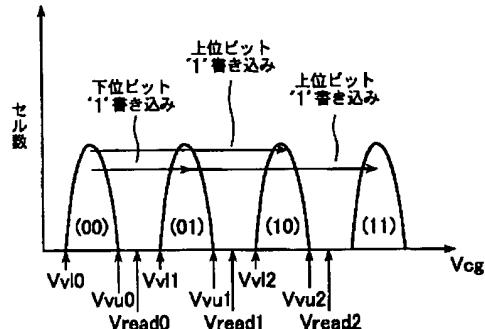
【図16】



【図17】



【図18】



フロントページの続き

(51) Int.Cl.7

識別記号

F I
G 11 C 17/00

テ-マ-ド' (参考)

6 4 1

(72) 発明者 田浦 忠行

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 5B025 AA03 AB01 AC01 AD03 AD04
AD07 AD08 AD09 AE05 AE08